

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-083897

(43)Date of publication of application : 22.03.2002

(51)Int.Cl.

H01L 23/12
H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 2000-269102

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 05.09.2000

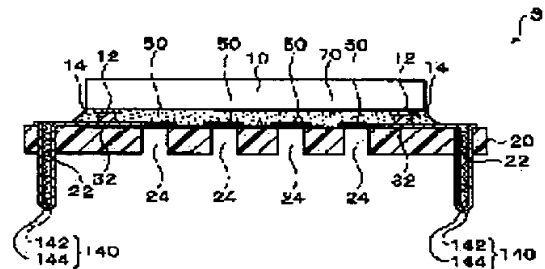
(72)Inventor : HASHIMOTO NOBUAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF AND, CIRCUIT BOARD AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit board, an electronic apparatus, a semiconductor device and a manufacturing method of it which can inspect the electric characteristics easily in the semiconductor device formed of a stuck structure.

SOLUTION: This semiconductor device includes a semiconductor chip 10, a substrate 20 having a larger outer shape than the semiconductor chip 10 on which a wiring pattern 30 is formed and the semiconductor chip 10 is mounted on one of the surfaces, a first terminal 40 formed in the outer region of the region in which the semiconductor chip 10 is formed on the substrate 20, and a part of the wiring pattern 30. Furthermore, a second terminal 50 which is formed by exposing the opposite surface to that facing the semiconductor chip 10 in the inner region of the substrate 20 compared with the first terminal 40 is included and the semiconductor chip 10 is constituted by connecting the first terminal 40 and the second terminal 50 electrically.



LEGAL STATUS

[Date of request for examination]

08.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(11)特許出願公開番号

特開2002-83897

(P2002-83897A)

(43)公開日 平成14年3月22日(2002.3.22)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 B
25/065		25/08	Z
25/07			
25/18			

審査請求 未請求 請求項の数20 O L (全 13 頁)

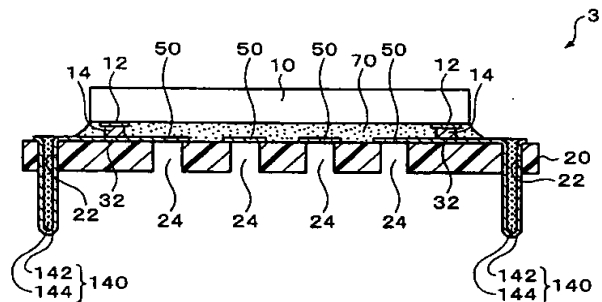
(21)出願番号	特願2000-269102(P2000-269102)	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成12年9月5日(2000.9.5)	(72)発明者	橘元 伸晃 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74)代理人	100090479 弁理士 井上 一 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

【課題】 スタック構造の半導体装置において、容易に電気特性を検査できる半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【解決手段】 半導体装置は、半導体チップ１０と、配線パターン３０が形成されるとともに半導体チップ１０が一方の面に搭載され、半導体チップ１０よりも大きい外形をなす基板２０と、基板２０における半導体チップ１０が搭載された領域よりも外側の領域に形成された第１の端子４０と、配線パターン３０の一部を含み、基板２０における第１の端子４０よりも内側の領域で、半導体チップ１０と対向する面とは反対側の面を露出してなる第２の端子５０と、を含み、半導体チップ１０は、第１及び第２の端子４０、５０と電気的に接続されてなる。



【特許請求の範囲】

【請求項 1】 半導体チップと、
配線パターンが形成されるとともに前記半導体チップが一方の面に搭載され、前記半導体チップよりも大きい外形をなす基板と、
前記基板における前記半導体チップが搭載された領域よりも外側の領域に形成された第 1 の端子と、
前記配線パターンの一部を含み、前記基板における前記第 1 の端子よりも内側の領域で、前記半導体チップと対向する面とは反対側の面を露出してなる第 2 の端子と、
を含み、
前記半導体チップは、前記第 1 及び第 2 の端子と電氣的に接続されてなる半導体装置。
【請求項 2】 請求項 1 記載の半導体装置において、
前記第 2 の端子は、その平面形状において前記第 1 の端子よりも大きく形成されてなる半導体装置。
【請求項 3】 請求項 1 又は請求項 2 に記載の半導体装置において、
隣同士の前記第 2 の端子のピッチは、隣同士の前記第 1 の端子のピッチよりも広い半導体装置。
【請求項 4】 請求項 1 から請求項 3 のいずれかに記載の半導体装置において、
前記第 1 の端子は、前記基板の端部で前記半導体チップの辺に沿って並んで形成され、
前記第 2 の端子は、前記半導体チップが搭載された領域を含む領域に形成されてなる半導体装置。
【請求項 5】 請求項 1 から請求項 4 のいずれかに記載の半導体装置において、
前記基板の両面に前記配線パターンが形成されてなる半導体装置。
【請求項 6】 請求項 1 から請求項 4 のいずれかに記載の半導体装置において、
前記基板には、前記半導体チップが搭載される面に前記配線パターンが形成されるとともに、前記配線パターンと重なる部分に複数の第 1 及び第 2 の貫通穴が形成され、
前記第 1 の端子は、前記第 1 の貫通穴上に位置し、
前記第 2 の端子は、前記第 2 の貫通穴を介して露出して設けられてなる半導体装置。
【請求項 7】 請求項 5 又は請求項 6 に記載の半導体装置において、
前記第 1 の端子は、前記基板の面から突出して形成されてなる突起部を含む半導体装置。
【請求項 8】 請求項 7 記載の半導体装置において、
前記第 1 の端子の前記突起部は、前記基板上の前記半導体チップの厚みを超える高さで、前記基板のいずれかの面から突出して形成されてなる半導体装置。
【請求項 9】 請求項 6 を引用する請求項 7 又は請求項 8 に記載の半導体装置において、
前記第 1 の端子の前記突起部は、前記第 1 の貫通穴を介

して、前記基板の前記半導体チップが搭載された側の面とは反対の面から突出して形成されてなる半導体装置。

【請求項 10】 請求項 7 から請求項 9 のいずれかに記載の半導体装置において、
前記第 1 の端子の前記突起部は、前記配線パターンに電氣的に接続するように設けられたパンプである半導体装置。

【請求項 11】 請求項 1 から請求項 9 のいずれかに記載の半導体装置において、
前記第 1 の端子は、前記配線パターンの一部である半導体装置。

【請求項 12】 請求項 7 から請求項 9 のいずれかを引用する請求項 11 記載の半導体装置において、
前記第 1 の端子の前記突起部は、前記基板の面から離れる方向に前記配線パターンの一部が屈曲することによって形成されてなる半導体装置。

【請求項 13】 請求項 1 から請求項 12 のいずれかに記載の複数の半導体装置を含み、
複数の前記基板は、それぞれの前記基板が積層して配置され、
前記第 1 の端子によって、上下の半導体チップが電氣的に接続されてなる半導体装置。

【請求項 14】 請求項 13 記載の半導体装置において、
最下層の前記基板に形成され、他の前記基板を向く面とは反対の面から突出してなる外部端子を含む半導体装置。

【請求項 15】 請求項 14 記載の半導体装置において、
前記外部端子は、前記基板の面から離れる方向に、前記第 2 の端子を含む前記配線パターンの一部が屈曲することによって形成されてなる半導体装置。

【請求項 16】 請求項 15 記載の半導体装置において、
前記外部端子は、前記第 2 の端子に電氣的に接続するように設けられてなる半導体装置。

【請求項 17】 請求項 13 から請求項 16 のいずれかに記載の半導体装置が搭載され、最下層の前記基板に形成された前記第 2 の端子によって電氣的に接続されてなる回路基板。

【請求項 18】 請求項 13 から請求項 16 のいずれかに記載の半導体装置を有する電子機器。

【請求項 19】 請求項 1 から請求項 12 のいずれかに記載の半導体装置に対して、前記基板に形成された前記第 2 の端子を介して、前記半導体装置の電気特性を検査する工程を含む半導体装置の製造方法。

【請求項 20】 請求項 13 から請求項 16 のいずれかに記載の半導体装置に対して、最下層の前記基板に形成された前記第 2 の端子を介して、前記半導体装置の電気特性を検査する工程を含む半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】電子機器の小型化に伴い、半導体チップが搭載された複数の基板（インターポーザ）を積層させて、高密度に組み込んだスタック構造の半導体装置が知られている。これによれば、半導体装置が実装される回路基板（マザーボード）の面積を有効利用し、小型化かつ高密度の電子機器を製造することができる。

【0003】例えば、特開平8-236694号公報では、スタック構造の半導体装置において、上下の半導体チップを接続するための接続端子は、中央部に配置される半導体チップを避けて基板の端部に配置されている。すなわち、接続端子は、基板における半導体チップの外側の領域に配置される。したがって、半導体装置の平面面積を抑えるには、接続端子は、小さくかつ狭いピッチで形成することが好ましい。

【0004】しかしながら、これによれば、接続端子が小さくかつ狭いピッチであるために、積層される前のそれぞれの半導体装置の電気特性の検査において、特殊な製造装置を使用する必要があった。また、製造装置に半導体装置の接続端子を位置合わせすることが煩雑であった。

【0005】本発明はこの問題点を解決するためのものであり、その目的は、スタック構造の半導体装置において、容易に電気特性を検査できる半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0006】

【課題を解決するための手段】（1）本発明に係る半導体装置は、半導体チップと、配線パターンが形成されるとともに前記半導体チップが一方の面に搭載され、前記半導体チップよりも大きい外形をなす基板と、前記基板における前記半導体チップが搭載された領域よりも外側の領域に形成された第1の端子と、前記配線パターンの一部を含み、前記基板における前記第1の端子よりも内側の領域で、前記半導体チップと対向する面とは反対側の面を露出してなる第2の端子と、を含み、前記半導体チップは、前記第1及び第2の端子と電気的に接続されてなる。

【0007】本発明によれば、半導体チップに電気的に接続された第1及び第2の端子が形成されている。これによって、例えば、第1の端子を他の部材との電気的接続に使用し、第2の端子を電気特性の検査に使用して、それぞれの用途に応じた好適な半導体装置を提供できる。

【0008】（2）この半導体装置において、前記第2の端子は、その平面形状において前記第1の端子よりも大きく形成されてもよい。

【0009】これによれば、基板には、第1の端子と、それよりも平面形状において大きい第2の端子が形成されている。第1の端子は半導体チップよりも外側の領域に形成される。それぞれの第1の端子は、平面形状が小さいので、半導体チップよりも外側にある複数の第1の端子の形成領域を小さくできる。これによって、半導体チップとほぼ同じ大きさの半導体装置を提供できる。

【0010】一方、第2の端子は、第1の端子よりも平面形状において大きい。これによって、例えば、第2の端子を介して、容易に半導体装置の電気特性を検査できる。すなわち、第1の端子は、電気特性を検査することを考慮することなく、小型かつ高密度の半導体装置を提供するために、可能な限り小さくすることができる。また、第2の端子は、基板の第1の端子よりも内側の領域に形成されるので、その平面形状が大きくても基板の平面面積を無駄に大きくすることがない。

【0011】したがって、小型かつ高密度であって、容易に電気特性を検査できる半導体装置を提供できる。

【0012】（3）この半導体装置において、隣同士の前記第2の端子のピッチは、隣同士の前記第1の端子のピッチよりも広くてもよい。

【0013】これによれば、第2の端子のピッチは第1の端子よりも広いので、例えば、特殊な製造装置を使用することなく容易に電気特性を検査できる。

【0014】（4）この半導体装置において、前記第1の端子は、前記基板の端部で前記半導体チップの辺に沿って並んで形成され、前記第2の端子は、前記半導体チップが搭載された領域を含む領域に形成されてもよい。

【0015】これによれば、第1の端子は半導体チップの辺に沿って並んで形成されるので、基板の外形の大きさを半導体チップとほぼ同じにすることができる。一方、第2の端子は基板の半導体チップの内側を含む領域に形成されるので、2次的に広がる領域に大きな形状で形成できる。

【0016】（5）この半導体装置において、前記基板の両面に前記配線パターンが形成されてもよい。

【0017】（6）この半導体装置において、前記基板には、前記半導体チップが搭載される面に前記配線パターンが形成されるとともに、前記配線パターンと重なる部分に複数の第1及び第2の貫通穴が形成され、前記第1の端子は、前記第1の貫通穴上に位置し、前記第2の端子は、前記第2の貫通穴を介して露出して設けられてもよい。

【0018】これによれば、例えば、第2の貫通穴は第1の貫通穴よりも大きい場合には、第2の貫通穴から露出する第2の端子によって容易に電気特性を検査できる。

【0019】（7）この半導体装置において、前記第1の端子は、前記基板の面から突出して形成されてなる突起部を含んでもよい。

【0020】これによって、例えば、各基板を積層して配置して、第1の端子によって上下の半導体チップを電氣的に接続することができる。また、第2の端子が平面形状において第1の端子の突起部よりも大きい場合には、第2の端子によって容易に電気特性を検査できる。

【0021】(8) この半導体装置において、前記第1の端子の前記突起部は、前記基板の上の前記半導体チップの厚みを超える高さで、前記基板のいずれかの面から突出して形成されてもよい。

【0022】これによって、例えば、各基板を積層して配置して、第1の端子によって上下の半導体チップを容易に電氣的に接続することができる。

【0023】(9) この半導体装置において、前記第1の端子の前記突起部は、前記第1の貫通穴を介して、前記基板の前記半導体チップが搭載された側の面とは反対の面から突出して形成されてもよい。

【0024】これによって、配線パターンが基板の一方の面に形成された場合でも、他方の面に向けて第1の端子の突起部を突出させることができる。

【0025】(10) この半導体装置において、前記第1の端子の前記突起部は、前記配線パターンに電氣的に接続するように設けられたバンパであってもよい。

【0026】(11) この半導体装置において、前記第1の端子は、前記配線パターンの一部であってもよい。

【0027】これによれば、第1の端子は配線パターン的一部分であるので、半導体装置の部品点数を少なくして低コストの半導体装置を提供できる。

【0028】(12) この半導体装置において、前記第1の端子の前記突起部は、前記基板の面から離れる方向に前記配線パターンの一部が屈曲することによって形成されてもよい。

【0029】これによれば、第1の端子は配線パターン的一部分であり、第1の端子の突起部は配線パターンの屈曲部によって形成される。したがって、半導体装置の部品点数を少なくして低コストの半導体装置を提供できる。

【0030】(13) 本発明に係る半導体装置は、複数の上記半導体装置を含み、複数の前記基板は、それぞれの前記基板が積層して配置され、前記第1の端子によって、上下の半導体チップが電氣的に接続されてもよい。

【0031】本発明によれば、高密度かつ小型であるスタック構造の半導体装置を提供できる。

【0032】(14) この半導体装置において、最下層の前記基板に形成され、他の前記基板を向く面とは反対の面から突出してなる外部端子を含んでもよい。

【0033】(15) この半導体装置において、前記外部端子は、前記基板の面から離れる方向に、前記第2の端子を含む前記配線パターンの一部が屈曲することによって形成されてもよい。

【0034】これによれば、例えば第2の端子が第1の

端子よりも平面形状において大きい場合には、半導体装置を容易に回路基板に位置合わせすることができる。したがって、半導体装置の実装時の歩留りを高めることができる。

【0035】(16) この半導体装置において、前記外部端子は、前記第2の端子に電氣的に接続するように設けられてもよい。

【0036】(17) 本発明に係る回路基板は、上記半導体装置が搭載され、最下層の前記基板に形成された前記第2の端子によって電氣的に接続される。

【0037】(18) 本発明に係る電子機器は、上記半導体装置を有する。

【0038】(19) 本発明に係る半導体装置の製造方法は、上記半導体装置に対して、前記基板に形成された前記第2の端子を介して、前記半導体装置の電気特性を検査する工程を含む。

【0039】本発明によれば、第2の端子を介して、電気特性を検査する。例えば、第2の端子が第1の端子よりも平面形状が大きい場合、さらには第2の端子のピッチが第1の端子のピッチよりも広い場合には、第2の端子によって、特殊な製造装置を使用することなく容易に半導体装置の電気特性を検査することができる。

【0040】(20) 本発明に係る半導体装置は、上記半導体装置に対して、最下層の前記基板に形成された前記第2の端子を介して、前記半導体装置の電気特性を検査する工程を含む。

【0041】本発明によれば、第2の端子を介して、電気特性を検査する。これによって、例えば、積層前後において、半導体装置に対する電気特性の検査を共通化することができる。また、電気特性の検査時に使用する製造装置を汎用化することができる。

【0042】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。ただし、本発明は、以下の実施の形態に限定されるものではない。

【0043】(第1の実施の形態) 図1～図4は、本実施の形態に係る半導体装置を示す図である。図1は半導体装置の断面図であり、図2及び図3は半導体装置の平面図である。図4は、図1に示す半導体装置が複数段に積層された、いわゆるスタック構造の半導体装置を示す図である。

【0044】図1に示す半導体装置1は、半導体チップ10と、基板20と、を含む。半導体装置1は、半導体チップ10が基板20に搭載されてなる。

【0045】半導体チップ10の外形は、矩形をなすことが多い。半導体チップ10は、複数の電極12を有する。電極12は、半導体チップ10に形成された集積回路の電極となる。電極12は、半導体チップ10における集積回路が形成された領域を有する面に形成されてもよい。電極12は、集積回路の配線パターンに用いられ

る金属で形成されることが多く、一般的に、アルミニウム、アルミニウム系合金又は銅などで形成される。電極 12 は、図 1 に示すように半導体チップ 10 の端部に形成されてもよく、あるいは中央部に形成されてもよい。電極 12 が半導体チップ 10 の端部に並ぶ場合は、対向する 2 辺又は 4 辺に並んでいてもよい。なお、半導体チップ 10 には、電極 12 を有する面に、図示しない絶縁膜（パッシベーション膜）が形成されてもよい。

【0046】図 1 に示すように電極 12 には、バンプ 14 が形成されてもよい。図示するように、半導体チップ 10 が基板 20 にフェースダウンボンディングされる場合には、バンプ 14 が形成されることが好ましい。バンプ 14 は、ニッケルもしくは金メッキされたニッケル、ハンダ又は金などで突起状に形成されてもよい。電極 12 と、バンプ 14 との間にバンプ金属の拡散防止層として、ニッケル、クロム、チタン等を付加してもよい。

【0047】基板 20 は、有機系又は無機系のいずれの材料から形成されてもよく、それらの複合構造からなるものであってもよい。有機系の基板として、ポリイミド樹脂からなるフレキシブル基板が挙げられる。無機系の基板としては、セラミック基板やガラス基板が挙げられる。また、それらの複合構造からなる基板として、ガラスエポキシ基板が挙げられる。基板 20 の厚みは、これらの材質によって決められることが多い。なお、基板 20 として、多層基板やビルドアップ型基板を用いてもよい。

【0048】図 1 に示すように、基板 20 は、半導体チップ 10 よりも大きい外形をなす。詳しくは、基板 20 は、搭載された半導体チップ 10 の外形から少なくとも一部においてはみ出している。半導体チップ 10 が矩形をなす場合には、基板 20 は半導体チップ 10 の外形よりも大きな矩形をなしてもよい。

【0049】図 1 に示すように、半導体チップ 10 は、基板 20 の一方の面に搭載されている。図示する例では、基板 20 に 1 つの半導体チップ 10 が搭載されている。あるいは、基板 20 に 2 つ以上の半導体チップ 10 が搭載されてもよい。この場合に、複数の半導体チップ 10 は、平面的に並んで配置されてもよく、あるいはそれぞれが積層されて配置されてもよい。複数の半導体チップ 10 が平面的に並ぶ場合は、基板 20 は、複数の半導体チップ 10 が搭載された領域からはみ出す外形をなす。

【0050】基板 20 には配線パターン 30 が形成されている。本実施の形態では、配線パターン 30 は基板 20 の一方の面に形成されている。図 1 に示すように、配線パターン 30 は、基板 20 の半導体チップ 10 が搭載された側の面に形成されてもよい。

【0051】図 2 は、基板 20 における配線パターン 30 が形成された面の平面図である。配線パターン 30 は、所定の形状に引き回された複数の配線を含む。言い

換えると、基板 20 に複数の配線が所定の形状で形成されることで、基板 20 の面に配線パターン 30 が形成される。配線パターン 30 は、例えば、銅などの導電材料で形成される。配線パターン 30 は、フォトリソグラフィ、スパッタ又はメッキ処理などによって形成されてもよい。なお、配線パターン 30 は、第 3 の実施の形態で示すように、基板 20 の両面に形成されてもよい。

【0052】配線パターン 30 は、電気的接続部 32 をさらに含む。図 2 に示すように、電気的接続部 32 は、電気的接続部 32 に接続される配線の部分よりも面積が広く形成されてもよい。すなわち、電気的接続部 32 は、ランド部であってもよい。

【0053】電気的接続部 32 は、半導体チップ 10 の電極 12 と電気的に接続される。図 1 に示すように、半導体チップ 10 は、電極 12 を有する面を対向させて基板 20 に搭載されてもよい。すなわち、半導体チップ 10 はフェースダウンボンディングされてもよい。この場合には、電気的接続部 32 は、基板 20 の半導体チップ 10 の内側の領域に形成される。また、この場合に、電極 12 と電気的接続部 32 とはバンプ 14 を介して接続されてもよい。電極 12（バンプ 14）と電気的接続部 32 との接合形態は、異方性導電材料による接合、金属接合、導電ペースト又は絶縁樹脂の収縮力による接合などがあり、いずれの形態を用いてもよい。

【0054】なお、図 1 に示すように、半導体チップ 10 と基板 20 との間には、何らかの樹脂 70 が存在することが好ましい。これによって、半導体チップ 10 と基板 20 との実装信頼性を向上させることができる。

【0055】あるいは、半導体チップ 10 は、電極 12 とは反対の面が対向して基板 20 に搭載されてもよい。この場合に、電極 12 と電気的接続部 32 とはワイヤによって電気的に接続されてもよい。この場合には、電気的接続部 32 は、基板 20 の半導体チップ 10 よりも外側の領域に形成される。

【0056】あるいは、TAB（Tape Automated Bonding）方式として知られるように、半導体チップ 10 よりも大きなデバイスホールを有する基板 20 からデバイスホール内部へ突出するフィンガーリードと、半導体チップ 10 の電極 12 もしくはバンプ 14 と、が接合される形態を適用してもよい。

【0057】これらの半導体チップの接合構造は、後述する全ての実施の形態に適用可能である。

【0058】図 1 及び図 2 に示すように、複数の第 1 の端子 40 は、基板 20 における半導体チップ 10 が搭載された領域よりも外側の領域に形成される。第 1 の端子 40 は、半導体チップ 10 と電気的に接続されている。詳しくは、第 1 の端子 40 は、配線パターン 30 の電気的接続部 32 と電気的に接続されている。言い換えると、1 つの電気的接続部 32 は、そこから配線が延びて形成されて、いずれかの第 1 の端子 40 と電気的に接続

される。

【0059】本実施の形態では、図1に示すように第1の端子40は、配線パターン30の一部である。第1の端子40は、配線パターン30のランド部であってもよい。

【0060】第1の端子40は、他の半導体装置と電気的に接続するための端子であってもよい。例えば、複数の半導体装置を複数段に積層させて、それぞれの基板20の上下の半導体チップ10を第1の端子40によって電気的に接続してもよい（図4参照）。この場合には、第1の端子40は、それぞれの基板20の半導体チップ10を避けて設ける必要があるため、基板20の半導体チップ10が搭載された領域よりも外側の領域に設けられる。ここで、複数の第1の端子40は、基板20の外形を無駄に広げないために、その形成領域を小さく抑えることが好ましい。すなわち、複数の第1の端子40は、それぞれの平面形状を比較的小さくし、かつ、隣同士の第1の端子40のピッチを狭くして形成されることが好ましい。本実施の形態は、後述するように、この点において特に効果的である。

【0061】図2に示すように、第1の端子40は、基板20の端部に形成されてもよい。第1の端子40は、基板20の端部で、半導体チップ10の辺に沿って並んで形成されてもよい。これによって、複数の第1の端子40の形成領域を小さくして、基板20の外形を半導体チップ10とほぼ同じ大きさにできる。第1の端子40は、1列、2列又はそれ以上に並んで形成されてもよく、あるいは千鳥状に並んで形成されてもよい。なお、第1の端子40は、図2に示すように、電気的接続部32よりも基板20の外側に形成されてもよい。あるいは、電気的接続部32が半導体チップ10が搭載された領域の外側の領域に形成される場合は、第1の端子40は、電気的接続部32よりも基板20の内側に形成されてもよい。

【0062】図1及び図2に示すように、第2の端子50は、基板20における第1の端子よりも内側の領域に形成される。第2の端子50は、半導体チップ10と電気的に接続されている。詳しくは、第2の端子50は、配線パターン30の電気的接続部32と電気的に接続されている。要するに、1つの電気的接続部32は、そこから配線が延びて形成されて、いずれかの第1及び第2の端子40、50と電気的に接続される。

【0063】第2の端子50は、配線パターン30の一部を含む。第2の端子50は、配線パターン30のランド部であってもよい。

【0064】図2に示すように、第2の端子50は、その平面形状において第1の端子40よりも大きく形成されてもよい。例えば、図示するように、第1及び第2の端子40、50が配線パターン30のランド部である場合には、第2の端子50のランド部の径は、第1の端子

40のランド部の径よりも大きく形成されてもよい。

【0065】複数の第2の端子50は、隣同士のピッチにおいて、複数の第1の端子のピッチよりも広くなるように配置されてもよい。すなわち、複数の第2の端子50は、複数の第1の端子40に対してピッチ変換されてもよい。例えば、図2の例に示すように、半導体チップ10の辺に沿って1列に並んでいる複数の第1の端子40に対して、複数の第2の端子50は、第1の端子40の内側で2次元的に広がる領域において、広いピッチで形成されてもよい。この場合に、第2の端子50は、基板20の半導体チップ10の内側（基板20の半導体チップ10が搭載された領域）を含む領域に形成されてもよい。また、複数の第2の端子50は、図2に示すようにマトリクス状に複数行複数列で並んで配置されてもよく、あるいは千鳥状に配置されてもよい。

【0066】上述のように第1の端子40は、半導体チップ10の外側の領域に形成されるので、小さい平面形状で、かつ、狭いピッチで形成されることが好ましい。こうすることで、半導体装置の平面面積を半導体チップ10とほぼ同じ大きさにすることができる。一方、第2の端子50は、第1の端子40とは異なり、例えば、半導体チップ10の内側を含む領域に形成されるので、第1の端子40よりも広い領域に配置することができる。すなわち、第2の端子50は、半導体装置の平面面積に制限されることなく、大きい平面形状で、かつ、広いピッチで形成することができる。

【0067】図1に示すように、第2の端子50は、基板20の一方の面に搭載された半導体チップ10とは反対側から露出する。これによって、第2の端子50を使用して、基板20の半導体チップ10とは反対側から、例えば、半導体装置の電気特性を検査できる。

【0068】図3は、基板20の配線パターン30とは反対側の平面図である。図1及び図3に示すように、基板20には、複数の第1及び第2の貫通穴22、24が形成されてもよい。第1及び第2の貫通穴22、24は、配線パターン30と重なる部分に形成されてもよい。

【0069】本実施の形態では、第1の端子40であるランド部は、第1の貫通穴22から露出し、第2の端子50であるランド部は、第2の貫通穴24から露出する。言い換えると、配線パターン30が基板20の半導体チップ10側の面に形成され、配線パターン30における基板20を向く側の面が、第1及び第2の貫通穴22、24を介して露出してもよい。第1及び第2の貫通穴22、24の平面形状は、図3に示すように、円形であってもよく、あるいは角形であってもよい。

【0070】図3に示すように、第2の貫通穴24の並ぶピッチは、基板20の平面視において第1の貫通穴22の並ぶピッチよりも大きく形成される。同時に、第2の貫通穴24の平面形状（貫通穴の径）を、第1の貫通

穴 22 の平面形状よりも大きくしてもよい。第 2 の貫通穴 24 の並ぶピッチは第 1 の貫通穴 22 の並ぶピッチよりも大きいので、基板 20 における半導体チップ 10 とは反対側に、粗いピッチ並びの平面形状の第 2 の端子 50 を露出させることができる。このような第 2 の端子 50 によって、容易に半導体装置の電気特性を検査できる。

【0071】本実施の形態によれば、基板 20 には、第 1 の端子 40 と、それよりも粗いピッチ並びの第 2 の端子 50 が形成されている。第 1 の端子 40 は半導体チップ 10 の外側の領域に形成される。それぞれの第 1 の端子 40 は、細かいピッチで並んでいるので、半導体チップ 10 の外側にある複数の第 1 の端子 40 の形成領域を小さくできる。これによって、半導体チップ 10 とほぼ同じ大きさの半導体装置を提供できる。

【0072】一方、第 2 の端子 50 の並ぶピッチは、第 1 の端子 40 の並ぶピッチよりも大きい。また、第 2 の端子 50 を、平面形状において第 1 の端子 40 よりも大きくてもよい。これによって、例えば、第 2 の端子 50 を介して、容易に半導体装置の電気特性を検査できる。すなわち、第 1 の端子 40 は、電気特性を検査することを考慮することなく、小型かつ高密度の半導体装置を提供するために、可能な限り小さく（狭ピッチかつ小さな平面形状に）することができる。また、第 2 の端子 50 は、基板 20 の第 1 の端子 40 よりも内側の領域に形成されるので、その平面形状が大きくても基板 20 の平面面積を無駄に大きくすることがない。

【0073】したがって、単体の半導体装置の段階で、小型かつ高密度であって、容易に電気特性を検査できる半導体装置を提供できる。

【0074】図 4 に示す半導体装置 2 は、複数の半導体装置が積層されてなる、いわゆるスタック構造をなす。スタック構造に積層される前の複数の半導体装置は、上述の半導体装置 1 であってもよい。それぞれの基板 20 の半導体チップ 10 は、第 1 の端子 40 によって、上下方向に電気的に接続される。この場合に、図示するように、いずれかの基板 20 に形成されたそれぞれの第 1 の端子 40 が、他の基板 20 のいずれかの第 1 の端子 40 と平面的に重なるように、複数の半導体装置 1 が積層されて配置される。

【0075】図 4 に示すように、複数の半導体チップ 10 を 1 つの半導体装置にすることで、特に、複数の半導体チップ 10 が同一の回路構造を有するときに、それぞれの半導体チップに対して、同一の第 2 の端子 50 と電気的な接続を図ることができる。例えば、複数の半導体チップ 10 がメモリである場合に、同一の第 2 の端子 50 で、アドレス端子やデータ端子を共有化することが容易になる。詳しくは、同一の第 2 の端子 50 から、それぞれの半導体チップ 10 の同じアドレスのメモリセルに、情報の読み出し又は書き込みを行うことができる。

【0076】上下の半導体チップ 10 は、第 1 の端子 40 同士が導電材料 60 を介して接続されることで互いに電気的に接続されてもよい。導電材料 60 は、バンプとして形成されてもよい。バンプは、ハンダなどの導電ペーストによって形成されてもよい。導電材料 60 は、基板 20 上の半導体チップ 10 の厚みを超える高さで形成されることで、上下の第 1 の端子 40 同士を接続することができる。

【0077】スタック構造をなす半導体装置において、最下層の基板 20 に形成された第 2 の端子 50 は、平面形状が大きく、かつ、広いピッチで形成されている。そして、最下層の基板 20 の第 2 の端子 50 を介して、スタック構造の半導体装置の電気特性を検査することができる。これによって、特殊な製造装置を使用することがなく、容易に検査を行うことができる。

【0078】さらに、積層前後において、半導体装置に対する電気特性の検査を共通化することができる。また、電気特性の検査時に使用する製造装置を汎用化することができる。すなわち、同一の検査端子を有する汎用のソケットを使用して電気特性を検査できる。

【0079】図 4 に示すように、最下層の基板 20 には、外部端子として突起部 51 が形成されている。突起部 51 は、最下層の基板 20 において、他の基板 20 を向く面とは反対の面から突出している。突起部 51 は、ハンダなどの導電材料から形成されてもよい。詳しくは、ハンダなどを第 2 の端子 50 に設けて突起部を形成してもよい。例えば突起部 51 は、ハンダクリームやハンダボールを実装してリフローして形成してもよく、あるいは金属メッキ（電解メッキ又は無電解メッキ）で形成してもよい。

【0080】あるいは、突起部 51 の代わりに外部端子として、配線パターン 30 の局所的な曲げ構造による凸形状などを利用してよい。この場合に、配線パターン 30 の一部である第 2 の端子 50 を屈曲させて外部端子を形成する。

【0081】また、最下層の基板 20 に形成された第 2 の端子 50 は、他の部材との電気的な接続部として形成されてもよい。すなわち、第 2 の端子 50 は、外部接続用の端子であってもよい。例えば、第 2 の端子 50 は、半導体装置を実装するための回路基板（マザーボード）との電気的な接続部として形成されてもよい。

【0082】この場合に、第 2 の端子 50 は、外部端子を設けるためのランド部となる。すなわち、積極的に外部端子を形成せず、例えば回路基板への実装時に回路基板側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成し、両者を電気的に接続してもよい。その半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。これらの形態は、後述するように、基板 20 の両面に配線パターン 30 が形成された場合に適用してもよい。

【0083】第2の端子50は、それぞれの平面形状が大きく、かつ、広いピッチを有して形成されているので、半導体装置を回路基板に容易に実装できる。言い換えると、第2の端子50を外部接続用として用いることで、半導体装置を回路基板に容易に位置合わせできる。これによって、半導体装置の実装時の歩留りを高めて生産性を向上させることができる。

【0084】本実施の形態に係る半導体装置の製造方法については上述に説明したとおりである。なお、上述の電気特性の検査は、電気テスト及びバーンイン等を含む。

【0085】（第2の実施の形態）図5及び図6は、本実施の形態に係る半導体装置を示す図である。図5に示す半導体装置3は、第1の端子140の形態において上述と異なる。なお、以下に示す全ての実施の形態では、他の実施の形態で説明する内容を可能な限り適用することができる。

【0086】第1の端子140は、基板20の面から突出して形成された突起部を含む。第1の端子140の突起部によって、複数の基板20を積層させて配置したときに、上下の半導体チップ10を電氣的に接続することができる。

【0087】第2の端子50は、その平面形状において、第1の端子140の突起部よりも大きくなるように形成されてもよい。これによって、第2の端子50を介して、容易に、半導体装置の電気特性を検査できる。第1の端子40の突起部は、第2の端子50の形成によって、基板20の平面視において小さく形成できるので、例えば、狭ピッチ、かつ、多ピンに対応することができる。すなわち、容易に電気特性を検査できて、かつ、高密度で小型の半導体装置を提供できる。

【0088】第1の端子140の突起部は、基板20上の半導体チップ10の厚みを超える高さで、基板20のいずれかの面から突出してもよい。図5に示す例では、第1の端子140の突起部は、基板20における半導体チップ10とは反対の面から突出して形成されている。これによって、第1の端子140の突起部は、直接的に他の基板20の第1の端子140と接合することができる。

【0089】図5に示すように、第1の端子140の突起部は、第1の貫通穴22を介して、基板20の半導体チップ10とは反対の面から突出していてもよい。言い換えると、第1の端子140の突起部は、第1の貫通穴22の内側に基端部が位置し、第1の貫通穴22を通過して基板20の半導体チップ10とは反対の面から、先端部が突出してもよい。これによって、配線パターン30が基板20の一方の面に形成された場合であっても、基板20の両側から電氣的接続を図ることができる。

【0090】図5に示す例では、第1の端子140の突起部は、配線パターン30の一部が基板20の面から離

れる方向に屈曲することによって形成されている。すなわち、第1の端子140の突起部は、配線パターン30の屈曲部142であってもよい。例えば、図示するように屈曲部142は、基板20の一方の面に形成された配線パターン30の一部において、第1の貫通穴22の内側に曲がって入り込んで、基板20の他方の面から離れる方向に突出して形成されてもよい。このような形態は、図示しない凸型を、基板20の一方の面から第1の貫通穴22の内側に押し出すことで形成してもよい。これによれば、半導体装置の部品点数を少なくして低コストの半導体装置を提供できる。

【0091】屈曲部142の内部に導電材料144が充填して設けられてもよい。導電材料144は、導電性ペースト、溶ダペースト又はメッキなどであってもよい。

【0092】上述とは別に、第1の端子140の突起部は、配線パターン30上に設けられたバンパ（図示しない）であってもよい。バンパは、配線パターン30のランド部に設けられてもよい。バンパは、第1の貫通穴22を介して、基板20の半導体チップ10とは反対側に突出してもよい。言い換えると、バンパの基端部は第1の貫通穴22の内側に配置され、バンパの先端部は基板20の半導体チップ10とは反対の面から突出してもよい。バンパは、金、ハンダその他の導電材料から形成される。

【0093】図6に示す半導体装置4は、スタック構造の半導体装置である。積層されるそれぞれの半導体装置は、上述の半導体装置3であってもよい。本実施の形態における半導体装置4は、第1及び第2の端子140、150の形態が上述の実施の形態と異なる。

【0094】半導体装置4において、それぞれの基板20の半導体チップ10は、第1の端子140によって上下方向に電氣的に接続される。第1の端子140の突起部は、基板20上の半導体チップ10の厚みを超える高さで形成される。これによって、第1の端子140の突起部の先端部は、他の第1の端子140と接合することができる。第1の端子140の突起部と、他の第1の端子140と、の接合形態は、上述の電極12（バンパ14）と配線パターン30との接合形態を適用してもよい。

【0095】第1の端子140の突起部として、配線パターン30の屈曲部142を適用する場合には、屈曲部142の凸部146側が他の基板20における屈曲部142の凹部148側に接続されてもよい。屈曲部142の凸部146は、他の基板20における屈曲部142の凹部148に入り込んでよい。この場合には、両者の屈曲部142は、第1の貫通穴22の内側で接合される。あるいは、図6に示すように、屈曲部142の凹部148に導電材料144が充填されていれば、屈曲部142の凸部146が導電材料144によって、他の屈曲

部142の凹部148に入り込まずに接合されてもよい。この場合には、両者の屈曲部142は、第1の貫通穴22の外側で接合されてもよい。後者の場合には、屈曲部142の高さを無駄にせずに、上下の半導体チップ10を接続できる。

【0096】第1の端子140の突起部としてバンプを適用した場合は、上述の実施の形態で説明した形態を適用することができる（図4参照）。

【0097】図6の例に示すように、最下層の基板20における第1の端子141は、配線パターン30の一部（ランド部）であってもよい。すなわち、いずれかの基板20に設けられた第1の端子140の突起部によって、上下の半導体チップ10が電氣的に接続されれば、そのうちの1つ又は複数の基板20（例えば最下層の基板20）の第1の端子141は、突起形状に形成されてなくてもよい。なお、第1の端子141のその他の構成は、第1の端子140と同様であってもよい。

【0098】図6に示すように、最下層の基板20には、外部端子が形成されてもよい。例えば、外部端子は、配線パターン30の一部である第2の端子150を屈曲することで形成された配線パターン30の屈曲部152であってもよい。屈曲部152は、第1の端子140における屈曲部142と同一形態であってもよく、導電材料154が内部に充填されていてもよい。ただし、第2の端子150の屈曲部152は、第1の端子140よりも、それぞれの平面形状が大きく形成されている。これによって、半導体装置4を例えば回路基板に容易に位置合わせできる。

【0099】また、最下層の基板20には、配線パターン30の屈曲部152の代わりに外部端子として、第1の実施の形態で説明した突起（例えばハンダボール等）が配線パターン30に設けられてもよい。

【0100】本実施の形態における半導体装置の製造方法は、既に説明した通りである。なお、本実施の形態によれば、上述の実施の形態と同様の効果を得ることができる。

【0101】（変形例）図7及び図8は、本実施の形態の変形例に係る半導体装置を示す図である。図7に示す半導体装置5は、第1の端子240の突起部の形態において上述と異なる。

【0102】図7に示す例では、第1の端子240は第1の貫通穴22上に形成され、突起部は第1の貫通穴22とは反対方向に突出して形成されている。第1の端子240の突起部は、基板20における半導体チップ10側の面から突出して形成されてもよい。第1の端子240の突起部は、基板20上の半導体チップ10の厚みを超える高さで形成されてもよい。第1の端子240の突起部は、第1の貫通穴22の径よりも小さい径で形成されてもよい。これによって、例えば、図8のスタック構造の半導体装置6に示すように、第1の端子240の突

起部を、他の基板20の第1の貫通穴22に挿通させて、第1の端子240同士を接続することができる。

【0103】図7に示す例では、第1の端子240の突起部は、配線パターン30の屈曲部242である。図示するように、屈曲部242は、基板20の一方の面に形成された配線パターン30の一部において、第1の貫通穴22とは反対方向に曲がることで、基板20の一方の面から離れる方向に突出して形成されてもよい。このような形態は、例えば図示しない凸型を、基板20の第1の貫通穴22の内側から、配線パターン30の形成された側に押し出すことで形成してもよい。

【0104】屈曲部242の内部には、導電材料244が充填されてもよい。また、導電材料244は、屈曲部242の凹部248からはみ出して、例えば第1の貫通穴22の内側に及ぶまで設けられてもよい。

【0105】あるいは、第1の端子240の突起部は、配線パターン30上に設けられたバンプ（図示しない）であってもよい。例えば、バンプは、配線パターン30における第1の貫通穴22上に、配線パターン30における基板20を向く側とは反対の面に形成されてもよい。

【0106】図8に示すように、半導体装置6は、複数の半導体装置5を含む。それぞれの基板20の半導体チップ10は、第1の端子240によって上下方向に電氣的に接続される。本変形例においては、第1及び第2の端子240、250の形態が上述と異なる。

【0107】図8に示す例では、第1の端子240の突起部は、配線パターン30の屈曲部242である。屈曲部242の凸部246は、他の配線パターン30における基板20を向く側の面に接続される。この場合に、屈曲部242は、第1の貫通穴22を介して他の屈曲部242と接合される。屈曲部242の凸部246は、他の基板20における屈曲部242の凹部248に入り込んでもよい。この場合には、両者の屈曲部242は、第1の貫通穴22の外側で接合される。あるいは、導電材料244が凹部248に充填されることによって、他の屈曲部242の凹部248に入り込まずに接合されてもよい。後者の場合には、屈曲部の高さを無駄にせずに、上下の半導体チップ10を接続できる。

【0108】図8の例に示すように、最上層の基板20における第1の端子241は、配線パターン30の一部（ランド部）であってもよい。なお、第1の端子241のその他の構成は、第1の端子240と同様であってもよい。

【0109】図8に示すように、最下層の基板20には、外部端子として突起部251が形成されてもよい。突起部251は、第2の端子250上に設けられる。突起部251は、上述の突起部51と同様の形態であってもよい。突起部251は、その平面形状において第1の端子240よりも大きく形成されてもよい。これによ

て、半導体装置 6 を例えば回路基板に容易に位置合わせできる。また、外部端子として、上述した第 2 の端子 250 を屈曲させた形態を適用してもよい。なお、本変形例においても、上述と同様の効果を得ることができる。

【0110】（第 3 の実施の形態）図 9 及び図 10 は、本実施の形態に係る半導体装置を示す図である。図 9 に示す半導体装置は、基板 20 に形成された配線パターン 330 の形態が上述の例と異なる。

【0111】本実施の形態では、配線パターン 330 は、基板 20 の両面に形成されている。図 9 に示すように、基板 20 の複数のスルーホールによって、両面が電氣的に接続された配線パターン 330 を形成してもよい。スルーホールは、図示するように、配線パターン 330 の材料によって埋められてもよい。あるいは、スルーホールは、中央部に貫通穴が形成されるとともに、周辺部である内壁面において上下が電氣的に導通されてもよい。なお、配線パターン 330 は、スルーホールに、基板 20 上の配線とは異なる導電材料が設けられることによって形成されてもよい。

【0112】図 9 に示すように、配線パターン 330 は、半導体チップ 10 とは反対の面において、第 1 及び第 2 の端子 340、350 が設けられる位置のみに形成されてもよい。あるいは、他の位置でスルーホールが設けられ、基板 20 の半導体チップ 10 とは反対の面で、第 1 及び第 2 の端子 340、350 に接続する配線が形成されてもよい。

【0113】図 9 に示す例では、第 1 の端子 340 は突起部を含む。第 1 の端子 340 の突起部は、例えばバンプであってよい。バンプは、基板 20 の半導体チップ 10 を超える高さで形成されてもよい。

【0114】一方、第 2 の端子 350 は、配線パターン 330 の一部であってもよい。第 2 の端子 350 は、配線パターン 330 のランド部であってもよい。

【0115】図 9 に示すように、第 1 の端子 340 の突起部は、基板 20 における半導体チップ 10 側とは反対の面に形成されてもよい。あるいは、基板 20 における半導体チップ 10 側の面に形成されてもよい。

【0116】なお、本実施の形態における半導体装置 7 の形態は、上述の実施の形態を可能な限り適用することができる。

【0117】図 10 に示す半導体装置 8 は、スタック構造の半導体装置である。積層されるそれぞれの半導体装置は、上述の半導体装置 7 であってもよい。本実施の形態においても、第 2 の端子 350 は、その平面形状において、第 1 の端子 340 よりも大きく形成される。本実施の形態における半導体装置は、上述と同様の効果を得ることができる。もちろん、第 1 及び第 2 の実施の形態で説明したように、第 2 の端子 350 上に突起部（例えばハンダボール等）を形成してもよい。

【0118】図 11 は、上述の実施の形態における半導

体装置 8 を実装した回路基板 1000 が示されている。回路基板 1000 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1000 には例えば銅などからなる配線パターン 1100 が所望の回路となるように形成されていて、それらの配線パターン 1100 と半導体装置 8 の第 2 の端子 340 とが電氣的に接続される。両者の接合は、ハンダなどの導電材料 360 を介して図ってもよい。

【0119】そして、本発明を適用した半導体装置を有する電子機器として、図 12 にはノート型パーソナルコンピュータ 1200、図 13 には携帯電話 1300 が示されている。

【0120】上述の全ての実施の形態では、半導体チップが基板の片面に実装されている例について説明したが、本発明はこれに限定されず、基板の両面に半導体チップを実装し、それを積層するようにしてもよい。

【図面の簡単な説明】

【図 1】図 1 は、本発明を適用した第 1 の実施の形態に係る半導体装置を示す図である。

【図 2】図 2 は、本発明を適用した第 1 の実施の形態に係る半導体装置を示す図である。

【図 3】図 3 は、本発明を適用した第 1 の実施の形態に係る半導体装置を示す図である。

【図 4】図 4 は、本発明を適用した第 1 の実施の形態に係る半導体装置を示す図である。

【図 5】図 5 は、本発明を適用した第 2 の実施の形態に係る半導体装置を示す図である。

【図 6】図 6 は、本発明を適用した第 2 の実施の形態に係る半導体装置を示す図である。

【図 7】図 7 は、本発明を適用した第 2 の実施の形態の変形例に係る半導体装置を示す図である。

【図 8】図 8 は、本発明を適用した第 2 の実施の形態の変形例に係る半導体装置を示す図である。

【図 9】図 9 は、本発明を適用した第 3 の実施の形態に係る半導体装置を示す図である。

【図 10】図 10 は、本発明を適用した第 3 の実施の形態に係る半導体装置を示す図である。

【図 11】図 11 は、本発明を適用した実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図 12】図 12 は、本発明を適用した実施の形態に係る半導体装置を有する電子機器を示す図である。

【図 13】図 13 は、本発明を適用した実施の形態に係る半導体装置を有する電子機器を示す図である。

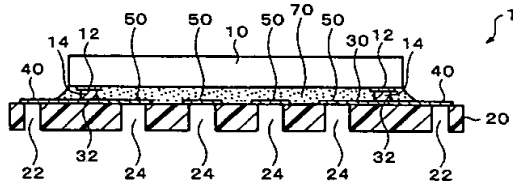
【符号の説明】

- 10 半導体チップ
- 12 電極
- 20 基板
- 22 第 1 の貫通穴
- 24 第 2 の貫通穴
- 30 配線パターン

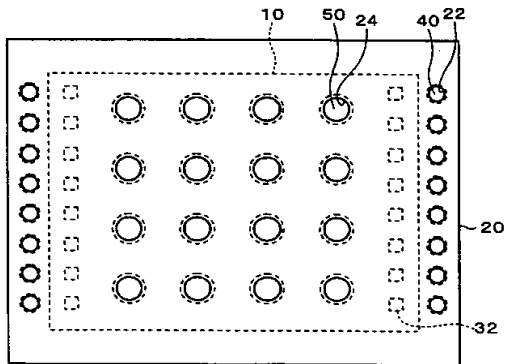
19

- 32 電気的接続部
- 40 第1の端子
- 50 第2の端子
- 140 第1の端子
- 142 屈曲部
- 150 第2の端子

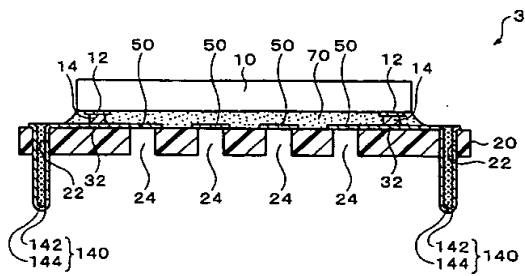
【図1】



【図3】



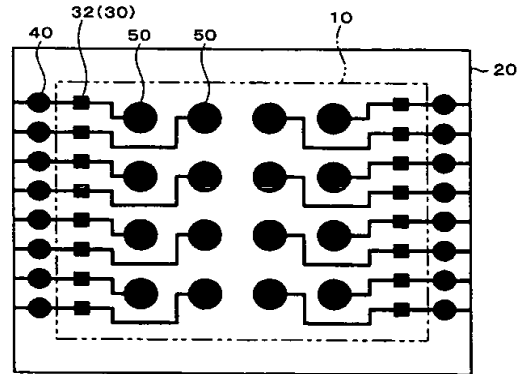
【図5】



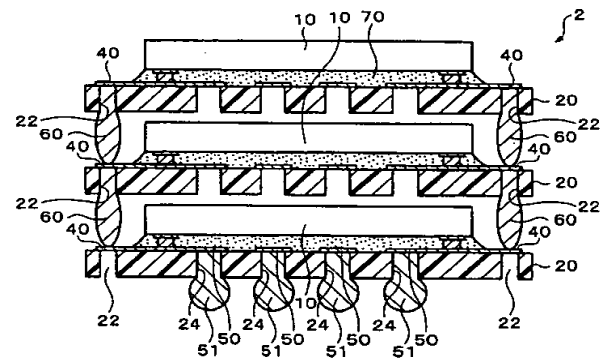
20

- 152 屈曲部
- 240 第1の端子
- 242 屈曲部
- 250 第2の端子
- 340 第1の端子
- 350 第2の端子

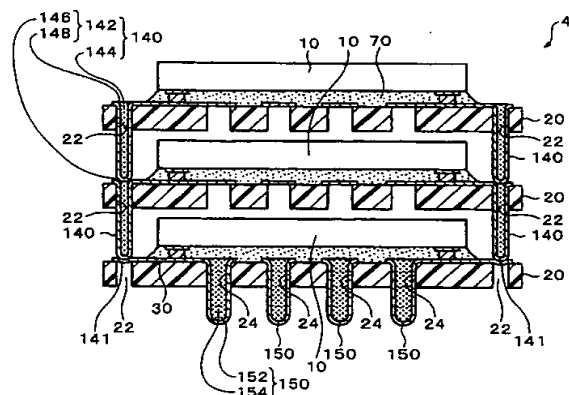
【図2】



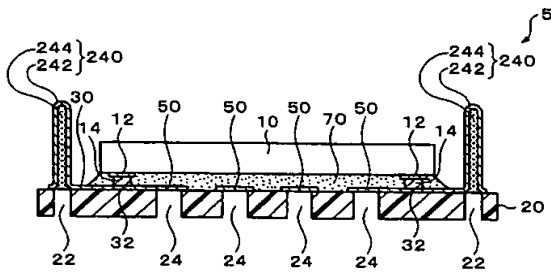
【図4】



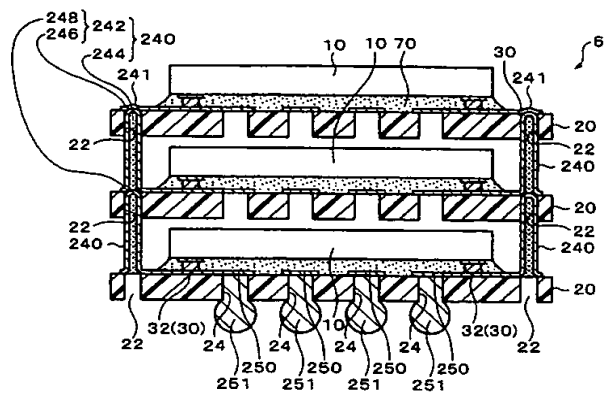
【図6】



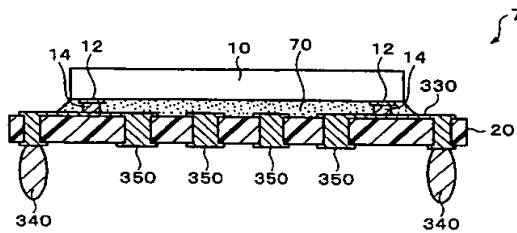
【図7】



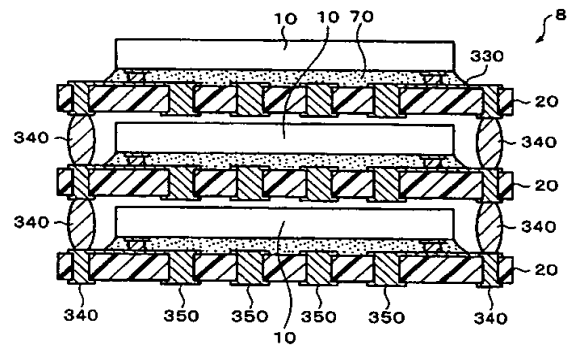
【図8】



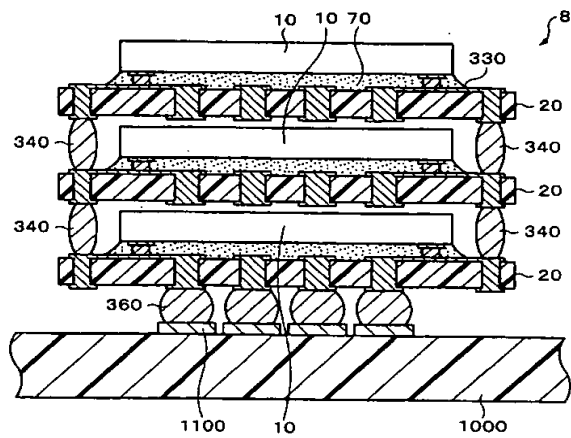
【図9】



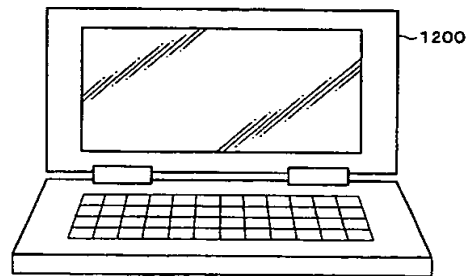
【図10】



【図11】



【図12】



【図13】

